

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-298829

(43)Date of publication of application : 01.12.1989

(51)Int.Cl.

H04L 9/02
H04K 1/02

(21)Application number : 63-129860

(71)Applicant : NEC CORP

(22)Date of filing : 27.05.1988

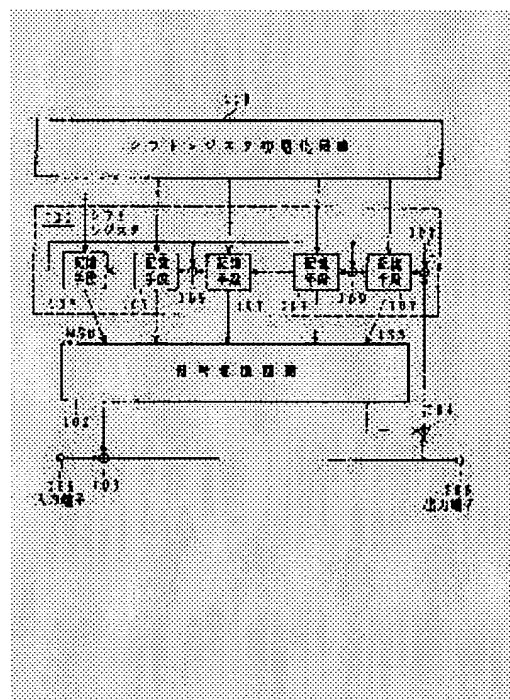
(72)Inventor : SAKO YASUHIKO

(54) DATA CONVERTER

(57)Abstract:

PURPOSE: To improve the characteristic against complicated cryptographic processing, to privacy security and prevention of illegal invasion to a network line by setting a random signal to a storage means at the sender side and the receiver side as an initial digital pattern.

CONSTITUTION: A shift register initializing circuit 110 is provided as an initializing means setting a random signal to a storage means 107 as an initial digital pattern. A shift register 101 consists of the storage means 107 and exclusive OR circuits 108, 109. The random signal is set to a storage means 107 as an initializing digital pattern by using the initializing means 110 to improve the characteristic against complicated cryptographic processing and to the characteristic of preventing illegal intrusion to a network line.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

✎ [Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

などの特性を著しく向上できる優れた効果がある。
また、情報の誤りおよび改ざんが検出できるのでデータ通信に用いてその効果は大きい。

記憶手段、301 … ランダム信号発生回路、302 … 情報源、303 … 付加回路、305 … 暗号器、307 … 復号器、308 … 比較回路、309 … スイッチ、310 … 受信目標。

4. 図面の簡単な説明

第1図は本発明第一実施例データ変換器のブロック構成図。

第2図は本発明第二実施例データ変換器のブロック構成図。

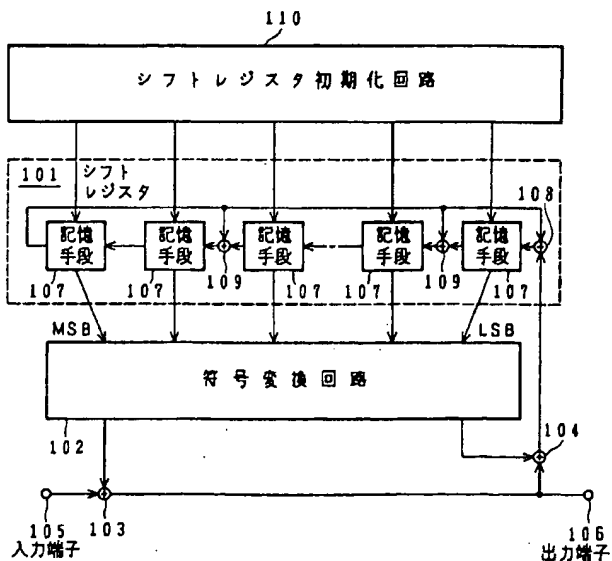
第3図は本発明のデータ変換器の動作原理を示す図。

第4図は第一従来例データ変換器のブロック構成図。

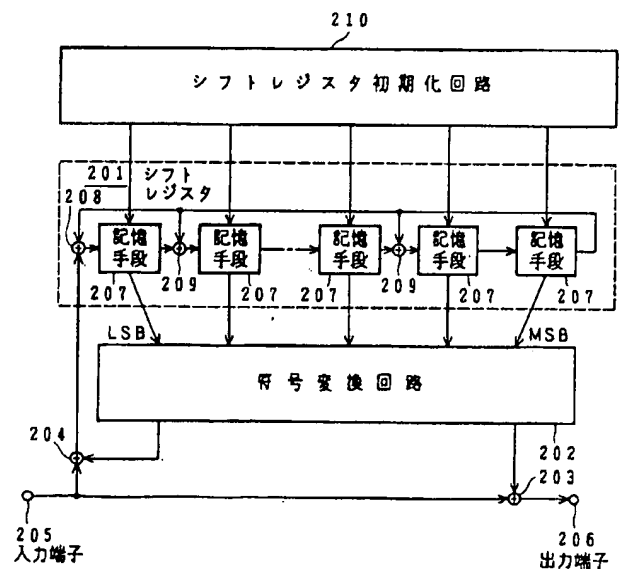
第5図は第二従来例データ変換器のブロック構成図。

101、201 … シフトレジスタ、102、202 … 符号変換器、103、104、108、109、203、204、208、209 … 排他的論理和回路、110、210、304、306 … シフトレジスタ初期化回路、105、205 … 入力端子、106、206 … 出力端子、107、207 …

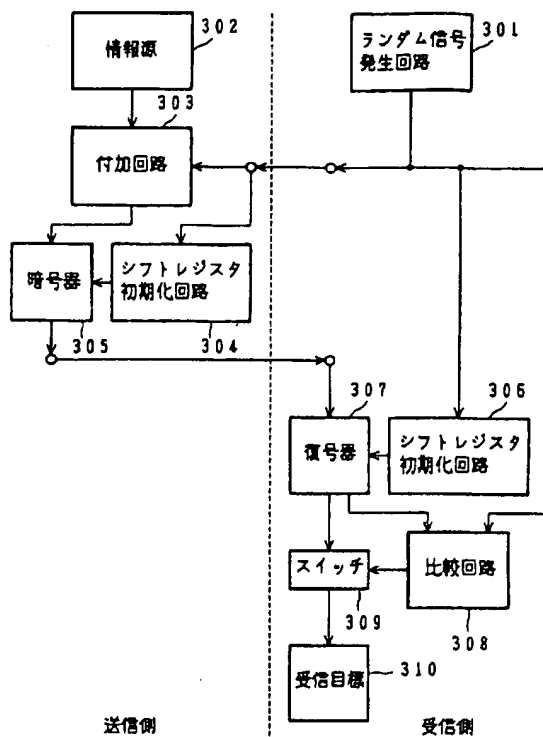
特許出願人 日本電気株式会社
代理人 弁理士 井出直孝



第一実施例
第 1 図

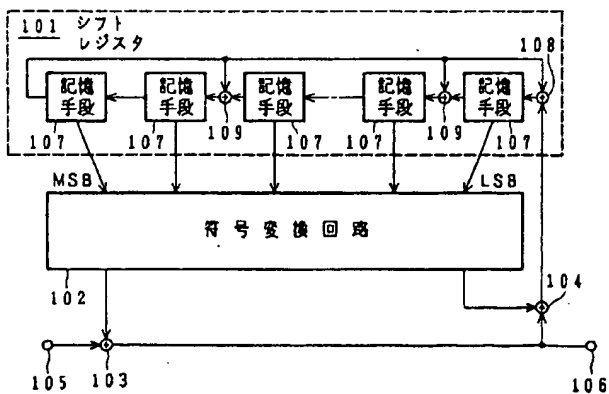


第二実施例
第 2 図

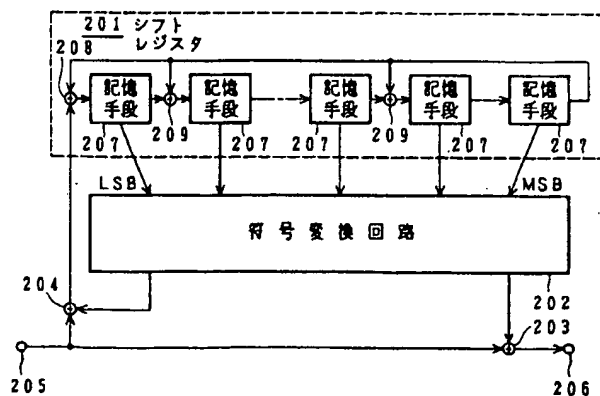


実施例 動作原理を示す図

第 3 図



第一従来例
第 4 図



第二従来例
第 5 図